

日本国特許庁  
JAPAN PATENT OFFICE

29.09.2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

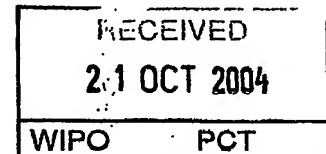
This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日  
Date of Application: 2003年 9月16日

出願番号  
Application Number: 特願2003-323408

[ST. 10/C]: [JP2003-323408]

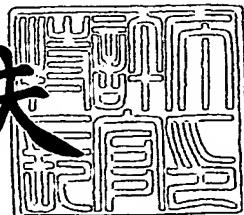
出願人  
Applicant(s): ソニー株式会社



PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2004年 5月28日

今井康夫



特許庁長官  
Commissioner,  
Japan Patent Office

【書類名】 特許願  
【整理番号】 0390553604  
【提出日】 平成15年 9月16日  
【あて先】 特許庁長官殿  
【国際特許分類】 H04N 5/335  
H01L 27/146

【発明者】  
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内  
【氏名】 野本 哲夫

【発明者】  
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内  
【氏名】 牧野 栄治

【発明者】  
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内  
【氏名】 馬渕 圭司

【発明者】  
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内  
【氏名】 春田 勉

【発明者】  
【住所又は居所】 東京都品川区北品川 6 丁目 7 番 35 号 ソニー株式会社内  
【氏名】 亀田 慎二郎

【特許出願人】  
【識別番号】 000002185  
【氏名又は名称】 ソニー株式会社

【代理人】  
【識別番号】 100094053  
【弁理士】  
【氏名又は名称】 佐藤 隆久

【手数料の表示】  
【予納台帳番号】 014890  
【納付金額】 21,000円

【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9707389

**【書類名】特許請求の範囲****【請求項1】**

単位画素が、光電変換素子、この光電変換素子の信号をフローティングノードに転送する転送トランジスタ、前記フローティングノードの信号を信号線に出力する増幅トランジスタおよび前記フローティングノードをリセットするリセットトランジスタとを有する固体撮像装置であって、

前記リセットトランジスタのゲート電極に供給する電位の1つが、少なくとも負電位である

固体撮像装置。

**【請求項2】**

単位画素が、光電変換素子、この光電変換素子の信号をフローティングノードに転送する転送トランジスタ、前記フローティングノードの信号を信号線に出力する増幅トランジスタおよび前記フローティングノードをリセットするリセットトランジスタを有する固体撮像装置であって、

前記リセットトランジスタのゲート電極に3種類以上の電位を供給可能な手段を有する固体撮像装置。

**【請求項3】**

前記リセットトランジスタのゲート電極に供給する少なくとも3種類以上の電位のうち少なくとも1種類の電位の電圧が負電位である

請求項2記載の固体撮像装置。

**【請求項4】**

前記リセットトランジスタをオン状態からオフ状態にする際のゲート電位を、正のハイレベル電源電位から、グランドレベル電源電位を経て、負電源電位に設定可能な手段を有する

請求項3記載の固体撮像装置。

**【請求項5】**

プリチャージ相およびデータ相のサンプルホールドの両方のタイミングで、前記リセットトランジスタのゲート電位がグランド電位に設定されている

請求項3記載の固体撮像装置。

**【請求項6】**

選択画素の前記リセットトランジスタのゲート電位がグランド電位に設定されている期間、非選択の画素のリセットトランジスタのゲート電位は負電位である

請求項5記載の固体撮像装置。

**【請求項7】**

単位画素が、光電変換素子、この光電変換素子の信号をフローティングノードに転送する転送トランジスタ、前記フローティングノードの信号を信号線に出力する増幅トランジスタおよび前記フローティングノードをリセットするリセットトランジスタを有し、前記リセットトランジスタのゲート電極に供給する電位の1つが、少なくとも負電位である固体撮像装置と、

前記固体撮像装置の撮像部に入射光を導く光学系と、

前記固体撮像装置の出力信号を処理する信号処理回路と  
を有するカメラシステム。

**【請求項8】**

単位画素が、光電変換素子、この光電変換素子の信号をフローティングノードに転送する転送トランジスタ、前記フローティングノードの信号を信号線に出力する増幅トランジスタおよび前記フローティングノードをリセットするリセットトランジスタを有し、前記リセットトランジスタのゲート電極に3種類以上の電位を供給可能な手段を有する固体撮像装置と、

前記固体撮像装置の撮像部に入射光を導く光学系と、

前記固体撮像装置の出力信号を処理する信号処理回路と

を有するカメラシステム。

【書類名】明細書

【発明の名称】固体撮像装置およびカメラシステム

【技術分野】

【0001】

本発明は、固体撮像装置およびカメラシステムに関し、特にMOS型固体撮像装置に代表されるX-Yアドレス型固体撮像装置およびこれを撮像デバイスとして用いたカメラシステムに関するものである。

【背景技術】

【0002】

X-Yアドレス型固体撮像装置、たとえばMOS型固体撮像装置として、単位画素が3トランジスタからなり、この単位画素が行列状に多数配列されてなる構成のものが知られている。

この場合の単位画素の構成を図8に示す。同図から明らかなように、単位画素100は、フォトダイオード(PD)101、転送トランジスタ102、増幅トランジスタ103およびリセットトランジスタ104を有する。

【0003】

上記の画素構成を採るMOS型固体撮像装置では、行が非選択の期間はドレイン線105からリセットトランジスタ104を通してフローティングノードN101の電位を低レベル(以下、Lレベルと記す)にしておき、行を選択するときはフローティングノードN101の電位を高レベル(以下、Hレベルと記す)にする動作が行われる。

【0004】

このようなMOS型固体撮像装置では、リセットトランジスタ104はディプレッシュョン型を用いている。これは、リセットトランジスタ104がオン時に、画素部の電源となるドレイン電圧とフローティングノード101の電位をバラツキなく一致させるためである。

したがって、リセットトランジスタ104がオン時のフローティングノード電位は、ドレイン線の電位レベルに一致する。ドレイン線の電位レベルとして、具体的にはたとえばに特許文献1にあるように、Hレベルが電源電位VDDであり、Lレベルが0.4~0.7Vになる(Lレベルが0Vであってもよい)。

【0005】

ここで、フローティングノードの電位について、選択行と非選択行についてそれぞれ考える。

【0006】

まず、選択行の動作について考える。

ドレイン線がHレベルに設定した後、リセットトランジスタ、転送トランジスタを順次オフ→オン→オフとし、リセット相電位とデータ相電位を出力する。相関2重サンプリング(CDS)回路を介してこの信号の差分を光信号として出力する。

データ相電位の取得に際して、フォトダイオードの電荷をフローティングノードへ転送すると、フローティングノード電位が低下する。

【0007】

次に、非選択行について考える。

リセットトランジスタおよび転送トランジスタの両方がオフ状態のままであり、ドレイン線だけがHレベルとLレベルの値を繰りかえす。

【特許文献1】特開2002-51263号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところが、従来のMOS型固体撮像装置では、リセットトランジスタがディプレッシュョン構造を採用するために、リセットトランジスタがオフ状態(非選択行)においても、リーク電流によって、フローティングノード電位が上昇する(しきい値電圧Vthが-1V

のとき、フローティングノード電位は1V程度)。

一方、選択行においてデータ相のフローティングノード電位はリセット相のその電位に比べて低くなる。これが特に光量が大きい場合には電圧が大きく変化(低下)し、非選択行のフローティングノードとの電位差が小さくなる。

その結果、非選択行に対して高い電位に設定されるべき選択行からの電位信号を読み取るものが、この電位差が明確でなくなるために、非選択行からのノイズが大きくなり、結果として、明るいシーンにおける縦筋が発生するという問題があった。

#### 【0009】

また、同じくリセットトランジスタがディプレッション構造を採用することに起因して、ドレイン配線の駆動回路からは、リセットトランジスタを介してフローティングノードの容量成分の影響が見える。ドレイン配線が全画素共通に接続されている場合には、全画素のドレイン配線容量だけでなく、リセットトランジスタを介してフローティングノード容量を含めて充電をする必要が発生し、ドレイン線のドライバサイズの点からも、高速性の点からも問題となっていた。

#### 【0010】

本発明の目的は、非選択行からのノイズを小さくでき、明るいシーンにおける縦筋の発生を抑止でき、また、リセットトランジスタを介してフローティングノード容量を含めて充電をする必要がなく、ドレイン線のドライバサイズの増大を防止でき、高速動作を確保できる固体撮像装置およびこれを撮像デバイスとして用いたカメラシステムを提供することにある。

#### 【課題を解決するための手段】

##### 【0011】

上記目的を達成するため、本発明の第1の観点は、単位画素が、光電変換素子、この光電変換素子の信号をフローティングノードに転送する転送トランジスタ、前記フローティングノードの信号を信号線に出力する増幅トランジスタおよび前記フローティングノードをリセットするリセットトランジスタとを有する固体撮像装置であって、前記リセットトランジスタのゲート電極に供給する電位の1つが、少なくとも負電位である。

##### 【0012】

本発明の第2の観点は、単位画素が、光電変換素子、この光電変換素子の信号をフローティングノードに転送する転送トランジスタ、前記フローティングノードの信号を信号線に出力する増幅トランジスタおよび前記フローティングノードをリセットするリセットトランジスタとを有する固体撮像装置であって、前記リセットトランジスタのゲート電極に3種類以上の電位を供給可能な手段を有する。

##### 【0013】

好適には、前記リセットトランジスタのゲート電極に供給する少なくとも3種類以上の電位のうち少なくとも1種類の電位の電圧が負電位である。

##### 【0014】

好適には、前記リセットトランジスタをオン状態からオフ状態にする際のゲート電位を、正のハイレベル電源電位から、グランドレベル電源電位を経て、負電源電位に設定可能な手段を有する。

##### 【0015】

また、好適には、プリチャージ相およびデータ相のサンプルホールドの両方のタイミングで、前記リセットトランジスタのゲート電位がグランド電位に設定されている。

また、好適には、この選択画素の前記リセットトランジスタのゲート電位がグランド電位に設定されている期間、非選択の画素のリセットトランジスタのゲート電位は負電位である。

##### 【0016】

本発明の第3の観点は、単位画素が、光電変換素子、この光電変換素子の信号をフローティングノードに転送する転送トランジスタ、前記フローティングノードの信号を信号線に出力する増幅トランジスタおよび前記フローティングノードをリセットするリセットト

ランジスタを有し、前記リセットトランジスタのゲート電極に供給する電位の1つが、少なくとも負電位である固体撮像装置と、前記固体撮像装置の撮像部に入射光を導く光学系と、前記固体撮像装置の出力信号を処理する信号処理回路とを有する。

#### 【0017】

本発明の第4の観点は、単位画素が、光電変換素子、この光電変換素子の信号をフローティングノードに転送する転送トランジスタ、前記フローティングノードの信号を信号線に出力する増幅トランジスタおよび前記フローティングノードをリセットするリセットトランジスタを有し、前記リセットトランジスタのゲート電極に3種類以上の電位を供給可能な手段を有する固体撮像装置と、前記固体撮像装置の撮像部に入射光を導く光学系と、前記固体撮像装置の出力信号を処理する信号処理回路とを有する。

#### 【0018】

上記構成の固体撮像装置およびこれを用いたカメラシステムにおいて、非選択時のリセットトランジスタのゲート電極に負電位を印加する。

これにより、共通ドレイン電源の立ち上がり時間が、ディプレッション型のリセットトランジスタを介したフローティングノード容量の影響を受けることがなくなる。

したがって、ディプレッション型リセットトランジスタを用いた場合においても、そのリセットトランジスタを介した電気的な接続が小さく抑えられる。

このために、共通ドレイン電源の立ち上がり時間が短くなる。または、ドレイン電源のドライバのサイズが小さくなる。これにより、高速動作と低チップサイズ化を実現できる。

また、ディプレッション型のリセットトランジスタを介した電気的な結合を抑えるために、非選択行のフローティングノード電位が共通ドレイン線の電位に伴って変動（上昇）しない。

したがって、データ相のサンプリングのタイミングにおいて選択行と非選択行のフローティングノード電位の差異を明確にできる。

その結果として、光量が大きいときにも飽和たて筋の発生を抑制させることができる。

また、本発明によれば、リセットトランジスタのゲート電圧を電源電位、グランド電位、負電源電位の3値により制御する。

たとえば、リセットトランジスタをオン→オフする際のゲート電極の電圧を、電源電位から負電源電位に直接的にゲート電位を変化させる代わりに、電源電位から一度グランド電位に保持し、グランド電位に充放電を一度行った後、負電源電位に電位を設定する。

#### 【発明の効果】

#### 【0019】

本発明によれば、非選択行からのノイズを小さくでき、明るいシーンにおける縦筋の発生を抑止できる。

また、リセットトランジスタを介してフローティングノード容量を含めて充電をする必要がなく、ドレイン線のドライバサイズの増大を防止でき、高速動作を確保できる利点がある。

#### 【発明を実施するための最良の形態】

#### 【0020】

以下、本発明の実施の形態について図面を参照して詳細に説明する。

#### 【0021】

図1は、本発明の一実施形態に係るたとえばMOS型固体撮像装置の構成例を示す回路図である。なお、MOS型固体撮像装置では、多数の単位画素が行列状に配列されることになるが、ここでは、図面の簡略化のために、2行×2列の画素配列として描いている。

#### 【0022】

図1において、単位画素10は、光電変換素子である、たとえばフォトダイオード11以外に、転送トランジスタ12、増幅トランジスタ13およびリセットトランジスタ14の3つのN型MOSトランジスタを有する3トランジスタ構成となっている。

#### 【0023】

この画素構成において、フォトダイオード11は、入射光をその光量に応じた電荷量の信号電荷（たとえば、電子）に光電変換して蓄積する。

【0024】

転送トランジスタ12は、フォトダイオード11のカソードとフローティングノードN11との間に接続され、ゲートが垂直選択線21に接続されており、導通（オン）することによってフォトダイオード11に蓄積されている信号電荷をフローティングノードN11に転送する機能を持っている。

【0025】

増幅トランジスタ13は、垂直信号線22と電源Vddとの間に接続され、ゲートがフローティングノードN11に接続されており、フローティングノードN11の電位を垂直信号線22に出力する機能を持っている。

リセットトランジスタ14は、ドレイン（一方の主電極）がドレイン線（配線）23に、ソース（他方の主電極）がフローティングノードN11に、ゲートがリセット線24にそれぞれ接続されており、フローティングノードN11の電位をリセットする機能を持っている。

【0026】

この単位画素10が行列状に配置されてなる画素領域（撮像領域）において、垂直選択線21、ドレイン線23およびリセット線24の3本の線は、画素配列の各行ごとに水平（H）方向（図の左右方向）に配線されており、垂直信号線22は各列ごとに垂直（V）方向（図の上下方向）に配線されている。

そして、垂直選択線21、ドレイン線23およびリセット線24は、垂直駆動回路（VDRV）を構成するVシフトレジスタ25によって駆動される。

【0027】

垂直選択線21およびリセット線24は、Vシフトレジスタ25の垂直選択パルスTおよびリセットパルスRを出力する各出力端に各行ごとに直接接続されている。ドレイン線23は、Vシフトレジスタ25のリセット電圧出力端に対して各行ごとにP型MOSトランジスタ26を介して接続されている。P型MOSトランジスタ26のゲートは接地されている。

【0028】

本実施形態においては、Vシフトレジスタ25は、ドレイン線23を通してリセットトランジスタ14を3値（4値以上であってもよい）で駆動することにより、選択行と非選択行のフローティングノードND11の電位に電位差を設け、2つの選択行と非選択行の動作が明確にする。

たとえば本実施形態においては、リセットトランジスタ14のゲート電極に供給する電位の1つが、少なくとも負電位である。

また、たとえば、Vシフトレジスタ25は、リセットトランジスタ14のゲート電極に供給する少なくとも3種類以上の電位のうち少なくとも1種類の電位の電圧が負電位として供給する。

また、Vシフトレジスタ25は、リセットトランジスタ14をオン状態からオフ状態にする際のゲート電位を、正のハイレベル電源電位から、グランドレベル電源電位を経て、負電源電位に設定することが可能である。

また、本実施形態においては、プリチャージ相およびデータ相のサンプルホールドの両方のタイミングで、リセットトランジスタ14のゲート電位がグランド電位に設定されている。

そして、Vシフトレジスタ25は、選択画素のリセットトランジスタ14のゲート電位がグランド電位に設定されている期間、非選択の画素のリセットトランジスタ14のゲート電位は負電位とする。

【0029】

このリセットトランジスタ14の駆動動作については後でさらに詳述する。

【0030】

上記画素領域の垂直方向（図中の上下方向）に一方側において、各列ごとに、垂直信号線22の一端とグランドとの間にN型MOSトランジスタからなる負荷トランジスタ27が接続されている。この負荷トランジスタ27は、そのゲートがロード（Load）線28に接続されて定電流源の役目をする。

#### 【0031】

画素領域の垂直方向の他方側において、垂直信号線22の他端には、N型MOSトランジスタからなるサンプルホールド（SH）スイッチ29の一端（一方の主電極）が接続されている。このサンプルホールドスイッチ29の制御端（ゲート）はSH線30に接続されている。

#### 【0032】

サンプルホールドスイッチ29の他端（他方の主電極）には、サンプルホールド（SH）／CDS（Correlated Double Sampling）回路31の入力端が接続されている。

サンプルホールド／CDS回路31は、垂直信号線22の電位Vsigをサンプルホールドし、相関二重サンプリング（CDS）を行う回路である。

ここで、相関二重サンプリングとは、時系列で入力される2つの電圧信号をサンプリングしてその差分を出力する処理を言う。

#### 【0033】

サンプルホールド／CDS回路31の出力端と水平信号線32との間には、N型MOSトランジスタからなる水平選択スイッチ33が接続されている。

この水平選択スイッチ33の制御端（ゲート）には、水平駆動回路（HDRV）を構成するHシフトレジスタ34から水平走査時に順次出力される水平走査パルスH（H1, H2, …）が与えられる。

#### 【0034】

水平走査パルスHが与えられ、水平選択スイッチ33がオンすることで、サンプルホールド／CDS回路31で相関二重サンプリング（CDS）された信号が水平選択スイッチ33を通して水平信号線32に読み出される。

この読み出された信号Hsigは、水平信号線35の一端に接続された出力アンプ35を通して出力端子36から出力信号Voutとして導出される。

#### 【0035】

以下に、本実施形態における、リセットトランジスタ14の駆動電位（ゲート電位）の幾つかの設定方法、並びにそれらの効果について、従来回路との比較を含めて説明する。

#### 【0036】

##### （設定方法1）

この方法では、非選択時のリセットトランジスタ14のゲート電極に負電位を印加できるようにすることで、従来の課題を解決することができる。

図2（A）～（G）および図3（A）～（G）は、リセットトランジスタのゲート電圧をVRST+（プラス側）とVRST-（マイナス側）の2値で動作させた場合の、選択行および非選択行におけるリセットトランジスタのゲート電位（RST線）V24、転送トランジスタ12のゲート電位（TR線）V21、共通ドレイン電源電位V23、フローティングノード電位VN11を示す図である。

図2（A）～（G）がリセットトランジスタのゲート電圧をVRST+（プラス側）で動作させた場合、図3（A）～（G）が本実施形態に係るリセットトランジスタのゲート電圧をVRST-（マイナス側）で動作させた場合を示す。

また、図において、比較のために、従来どおり（リセットトランジスタのゲート電圧をVRST+（プラス側）とVRST0（ゼロ電位））の2値動作におけるフローティングノード電位もあわせて示す。

#### 【0037】

従来回路では、図2（A）～（G）に示すように、共通ドレイン電源の立ち上がり時間が、ディプレッション型のリセットトランジスタ14を介したフローティングノード容量の影響を受け、長いものとなっていた。

ところが、本実施形態に係る方法によれば、図3 (A) ~ (G) に示すように、ディップレッショング型リセットトランジスタ14を用いた場合においても、そのリセットトランジスタ14を介した電気的な接続が小さく抑えられる。

このために、共通ドレイン電源の立ち上がり時間が短くなる。または、ドレイン電源のドライバのサイズが小さくなる。これにより、高速動作と低チップサイズ化を実現できる。

#### 【0038】

また、従来回路では、図2 (A) ~ (G) に示すように、非選択行のフローティングノード電位は、ディップレッショング型のリセットトランジスタを介したリークの影響により、共通ドレイン電源の影響を受けてデータ相のサンプリング時間において上昇し、選択行と非選択行の電位差が小さくなる方向へ作用していた。

ところが、本実施形態に係る方法によれば、図3 (A) ~ (G) に示すように、ディップレッショング型のリセットトランジスタ14を介した電気的な結合を抑えられるために、非選択行のフローティングノード電位が共通ドレイン線の電位に伴って変動(上昇)しない。

したがって、データ相のサンプリングのタイミングにおいて選択行と非選択行のフローティングノード電位の差異を明確にすることができる。

その結果として、光量が大きいときにも飽和たて筋の発生を抑制させることができる。

#### 【0039】

##### (設定方法2)

この方法では、リセットトランジスタ14のゲート電圧を電源電位(たとえば、3V)、グランド電位(0V)、負電源電位(たとえば、-1V)の3値を制御する機能を搭載することで、従来の課題を解決することができる。

#### 【0040】

前述したように、MOS型固体撮像装置ではリセットトランジスタとしてはディップレッショング型を用いている。これにより、リセットトランジスタがオン時にそのリセットバラツキを低減できるメリットがある。

一方、このとき、第1に非選択行と選択行のフローティングノード電位の差異が明確でなくなること、第2に共通ドレイン電源の立場からは、高速性およびチップサイズの問題があった。

そこで、本実施形態においては、非選択行のリセットトランジスタのLレベル電位を負電位に設定する。

#### 【0041】

MOS型固体撮像装置に負電位を供給するためには、外部電源から供給する方法と、内部回路で負電位を発生させる方法の2種類が考えられる。

従来のリセットトランジスタのゲートの振幅(電源電位とグランド電位の振幅)に比べて、上記方法による負電位を用いる場合にはその振幅が大きくなるために、回路の充放電の電荷量が大きく、各電位発生回路(または電源)に負担がかかるおそれがある。

また、そのために負電位を内部生成する回路では、振幅分だけの電荷供給能力を大きくする必要があり、そのためにチップサイズが増大する。

特に、内部回路で発生させる負電源の場合には、発生電位に回路ノイズが重畠する。負電源電位の供給先であるリセットトランジスタ14のゲートは、フローティングノードN11と容量結合しているために、負電源電位の変動がそのままセンサ・ノイズとなって現れる。

#### 【0042】

これらの問題を解決するために、本実施形態においては、リセットトランジスタ14のゲート電圧を電源電位(たとえば3V)、グランド電位(0V)、負電源電位(たとえば、-1V)の3値を制御する機能を搭載する。

#### 【0043】

たとえば、図4 (A) ~ (G) に示すように、電荷供給能力の問題については、リセッ

トランジスタ14のゲート電位を3値駆動することにより負電源発生回路の負担を低減できる。

これまで、リセットトランジスタをオン→オフする際のゲート電極の電圧は、電源電位から負電源電位に直接的にゲート電位を変化させていた。

本実施形態に係る3値駆動機能を可能にすることにより、電源電位から一度グランド電位に保持し、グランド電位に充放電を一度行った後、負電源電位に電位を設定する機能を搭載することで、先の問題を解決することができる。

簡単には、電源電位が3V、グランド電位を0V、負電源電位を-1Vとすると、以下の効果を得ることができる。

従来の電源電位から負電源電位にダイレクトに電圧変化する場合には、回路容量をC[F]とすると、その充放電電荷量は $Q = C(V1 - V2) = 4C$ となり、負電源発生回路には4Cの負担が発生する。

一方、グランド電位を一度経由する場合には、負電源発生回路が引き抜くのに必要な電位差は1Vだから充放電電荷量は1Cになり、従来の方法の4分の1の負担に低減される。

#### 【0044】

また、内部回路で発生させる負電源の場合には、発生電位に回路ノイズが重畳する。負電源電位の供給先であるリセットトランジスタ14のゲートはフローティングノードN11と容量結合しているために、負電源電位の変動がそのままセンサ・ノイズとなって現れる。

ところで、内部回路にて生成する負電源電位の変動に対して、グランド電位の電位変動は小さい。

これをを利用して、たとえば図5(A)～(G)に示すように、選択行において、プリチャージ相およびデータ相のサンプル・ホールドのタイミング期間にグランド電位にリセット・トランジスタのゲート電極電位を固定する(非選択行のリセット・トランジスタのゲート電位は常に負電位に固定される)。

これにより、負電位への変化回数が少なくなるため、負電荷の供給負担が低減されるだけでなく、負電源発生回路の電位変動によるフローティングノード電位の容量結合性の変動によるノイズ影響が抑えられる。

さらに、リセットゲートを選択行は0V、非選択行は負電位とすることで、選択行と非選択行のフローティングノード電位に必ず有為な差がつくので、明るいシーンにおいても、縦筋を防止することができる。

#### 【0045】

さらにまた、たとえば図6(A)～(G)に示すように、図4(A)～(G)に関連つけた方法と図5(A)～(G)に関連つけた方法、すなわち、リセットトランジスタ14をオフにする際に、グランドレベル(0)を経由して負電位とする方法と、サンプルホールドのタイミングをグランドレベルとする方法を複合した駆動によれば、さらに2つの効果が同時に得られる。

#### 【0046】

次に、上記構成の本実施形態に係るMOS型固体撮像装置の動作例について、説明する。ここでは、図1の左下の画素に着目して説明するものとし、一例としてリセットトランジスタ14のゲート電圧を電源電位(たとえば、3V)、グランド電位(0V)、負電源電位(たとえば、-1V)の3値を制御する方法を採用する場合を例として説明する。

#### 【0047】

先ず、非選択時は、フローティングノードN11の電位は0.5Vとなっている。このとき、Vシフトレジスタ25からリセット電圧B1として電源電圧dd、たとえば3.0Vが出力されておりドレイン線23の電位も電源電圧Vddになっている。

#### 【0048】

ロード線28に与えるロード(LOAD)信号をたとえば1.0Vとし、次にVシフトレジスタ25からHレベルのリセット信号R1を出力する。すると、リセットトランジス

タ14が導通するため、フローティングノードN11はリセットトランジスタ14を通してドレイン線23とつながり、その電位がリセットトランジスタ14のチャネル電圧で決まるHレベル、たとえば2.5Vにリセットされる。これにより、増幅トランジスタ13のゲート電位も2.5Vとなる。

#### 【0049】

垂直信号線22の電位Vsig1は、垂直信号線22につながる複数の画素の増幅トランジスタのうち最もゲート電圧の高いものによって決まり、その結果、フローティングノードN11の電位によって垂直信号線22の電位Vsig1が決まる。具体的には、増幅トランジスタ13が負荷トランジスタ27とソースフォロアを形成し、その出力電圧が画素電位Vsig1として垂直信号線22上に現れる。このときの電位Vsig1がリセットレベルの電圧となる。このリセットレベルの電圧は、サンプルホールドスイッチ29を通してサンプルホールド/CDS回路31に入力される。

#### 【0050】

次に、Vシフトレジスタ25から出力される垂直選択パルスT1をHレベルにする。すると、転送トランジスタ12が導通し、フォトダイオード11で光電変換され、蓄積された信号電荷（本例では、電子）をフローティングノードN11に転送する（読み出す）。これにより、増幅トランジスタ13のゲート電位が、フォトダイオード11からフローティングノードN11に読み出された信号電荷の信号量に応じて負の方向に変化し、それに応じて垂直信号線22の電位Vsig1も変化する。

#### 【0051】

このときの電位Vsig1が本来の信号レベルの電圧となる。この信号レベルの電圧は、サンプルホールドスイッチ29を通してサンプルホールド/CDS回路31に入力される。そして、サンプルホールド/CDS回路31では、先のリセットレベルの電圧と今回の信号レベルの電圧との差分をとり、この差分電圧を保持する処理が行われる。

#### 【0052】

次に、Vシフトレジスタ25から出力されるリセット電圧B1を0Vにする。このとき、ドレイン線23を通して画素10に与えられるリセット電圧B1'は0Vではなく、P型MOSトランジスタのチャネル電圧で決まり、たとえば0.5Vになる。

その状態において、Vシフトレジスタ25からHレベルのリセット信号R1を出力すると、リセットトランジスタ14が導通するため、フローティングノードN11はリセットトランジスタ14を通してドレイン線23とつながり、その電位がドレイン線23の電位、即ち0.5Vになり、画素10が非選択の状態に復帰する。

このとき、リセットトランジスタ14のゲートには、リセット線24を通してリセットトランジスタ14をオン→オフする際に、電源電位3Vから負電源電位に直接的にゲート電位を変化させるのではなく、電源電位から一度グランド電位0Vに保持し、グランド電位に充放電を一度行った後、負電源電位に電位-1Vに設定する。これにより、負電源発生回路が引き抜くのに必要な電位差は1Vとなり、充放電電荷量が少なくなり回路の負担が低減される。

#### 【0053】

この非選択状態では、フローティングノードN11の電位が0Vではなく0.5Vなので、転送トランジスタ12を通して電子がフォトダイオード11にリークすることが防止される。ここで、フローティングノードN11の電位が0.5Vとなるのは、Vシフトレジスタ25のリセット電圧出力端とドレイン線23との間に接続されたP型MOSトランジスタ26の作用による。

#### 【0054】

上述した一連の動作で1行目の画素が全て同時に駆動され、1行分の信号がサンプルホールド/CDS回路31に同時に保持（記憶）される。その後、フォトダイオード11での光電変換（露光）および光電子の蓄積期間に入る。

そして、この光電子蓄積期間にHシフトレジスタ34が水平走査の動作を開始し、水平走査パルスH1, H2, …を順次出力する。これにより、水平選択スイッチ33が順次導

通し、サンプルホールド／CDS回路31に保持されていた信号を順に水平信号線32に導出する。

#### 【0055】

同様の動作を次には2行目の画素について行えば、2行目の画素の画素信号が読み出される。以降、Vシフトレジスタ25で順次垂直走査することによって全ての行の画素信号を読み出すことができ、また各行ごとにHシフトレジスタ34で順次水平走査することによって全画素の信号を読み出すことができる。

#### 【0056】

上述したように、単位画素10が転送トランジスタ12、増幅トランジスタ13およびリセットトランジスタ14を有する3トランジスタ構成のMOS型固体撮像装置において、リセットトランジスタ14のゲート電圧を電源電位（たとえば3V）、グランド電位（0V）、負電源電位（たとえば、-1V）の3値により制御するようにしたので、非選択行からのノイズを小さくでき、明るいシーンにおける縦筋の発生を抑止できる。

また、リセットトランジスタを介してフローティングノード容量を含めて充電をする必要がなく、ドレイン線のドライバサイズの増大を防止でき、高速動作を確保できる利点がある。

#### 【0057】

図7は、本発明に係るカメラシステムの構成の概略を示すブロック図である。

本カメラシステム40は、撮像デバイス41と、この撮像デバイス41の画素領域に入射光を導く光学系、たとえば入射光（像光）を撮像面上に結像させるレンズ42と、撮像デバイス41を駆動する駆動回路43と、撮像デバイス41の出力信号を処理する信号処理回路44などを有する構成となっている。

#### 【0058】

このカメラシステムにおいて、撮像デバイス41として、上記実施形態に係る固体撮像装置、即ち単位画素10がフォトダイオード11の外に、転送トランジスタ12、増幅トランジスタ13およびリセットトランジスタ14を有する3トランジスタ構成で、かつリセットトランジスタのゲート電極に供給する電位の1つが、少なくとも負電位であり、あるいはリセットトランジスタのゲート電極に3種類以上の電位を供給可能な構成を有するMOS型固体撮像装置が用いられる。

#### 【0059】

駆動回路43は、図1におけるVシフトレジスタ25やHシフトレジスタ34を駆動するスタートパルスやクロックパルスを含む各種のタイミング信号を発生するタイミングジェネレータ（図示せず）を有し、先述した動作例で説明した駆動を実現すべく、撮像デバイス（MOS型固体撮像装置）41を駆動する。信号処理回路44は、MOS型固体撮像装置41の出力信号Voutに対して種々の信号処理を施して映像信号として出力する。

#### 【0060】

このように、本カメラシステムによれば、先述した実施形態に係るMOS型固体撮像装置を撮像デバイス41として用いることにより、当該MOS型固体撮像装置が非選択行からのノイズを小さくでき、明るいシーンにおける縦筋の発生を抑止でき、また、リセットトランジスタを介してフローティングノード容量を含めて充電をする必要がなく、ドレイン線のドライバサイズの増大を防止でき、高速動作を確保できることから、小回路規模・低消費電力にて雑音の少ない、高画質の撮像画像を得ることができる。

#### 【図面の簡単な説明】

#### 【0061】

【図1】本発明の一実施形態に係るたとえばMOS型固体撮像装置の構成例を示す回路図である。

【図2】リセットトランジスタのゲート電圧をVRST+（プラス側）で動作させた場合の、選択行および非選択行におけるリセットトランジスタのゲート電位、転送トランジスタのゲート電位、共通ドレイン電源電位、フローティングノード電位を示す図である。

【図3】リセットトランジスタのゲート電圧をVRST+（プラス側）とVRST-（マイナス側）の2値で動作させた場合の、選択行および非選択行におけるリセットトランジスタのゲート電位、転送トランジスタのゲート電位、共通ドレイン電源電位、フローティングノード電位を示す図である。

【図4】リセットトランジスタのゲート電圧を3値駆動する方法を説明するための図である。

【図5】リセットトランジスタのゲート電圧を3値駆動する方法を説明するための図であって、負電位を利用してプリチャージ相とデータ相のサンプルホールドがグランド電位に設定する方法を説明するための図である。

【図6】リセットトランジスタをオフにする際に、グランドレベルを経由して負電位とする方法と、サンプルホールドのタイミングをグランドレベルとする方法を複合した方法を説明するための図である。

【図7】本発明に係るカメラシステムの構成の一例を示すブロック図である。

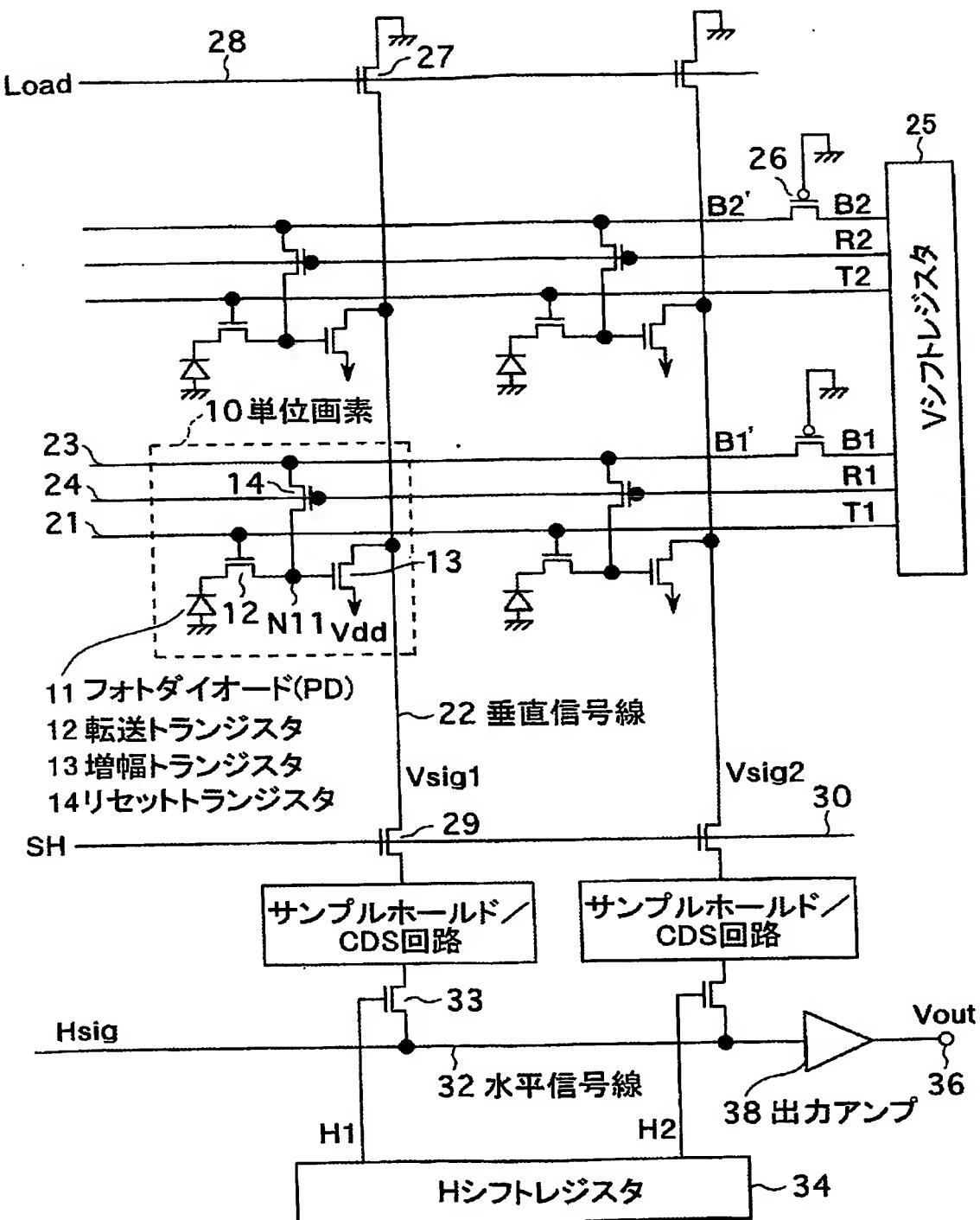
【図8】従来技術の課題を説明するための単位画素の構成図である。

【符号の説明】

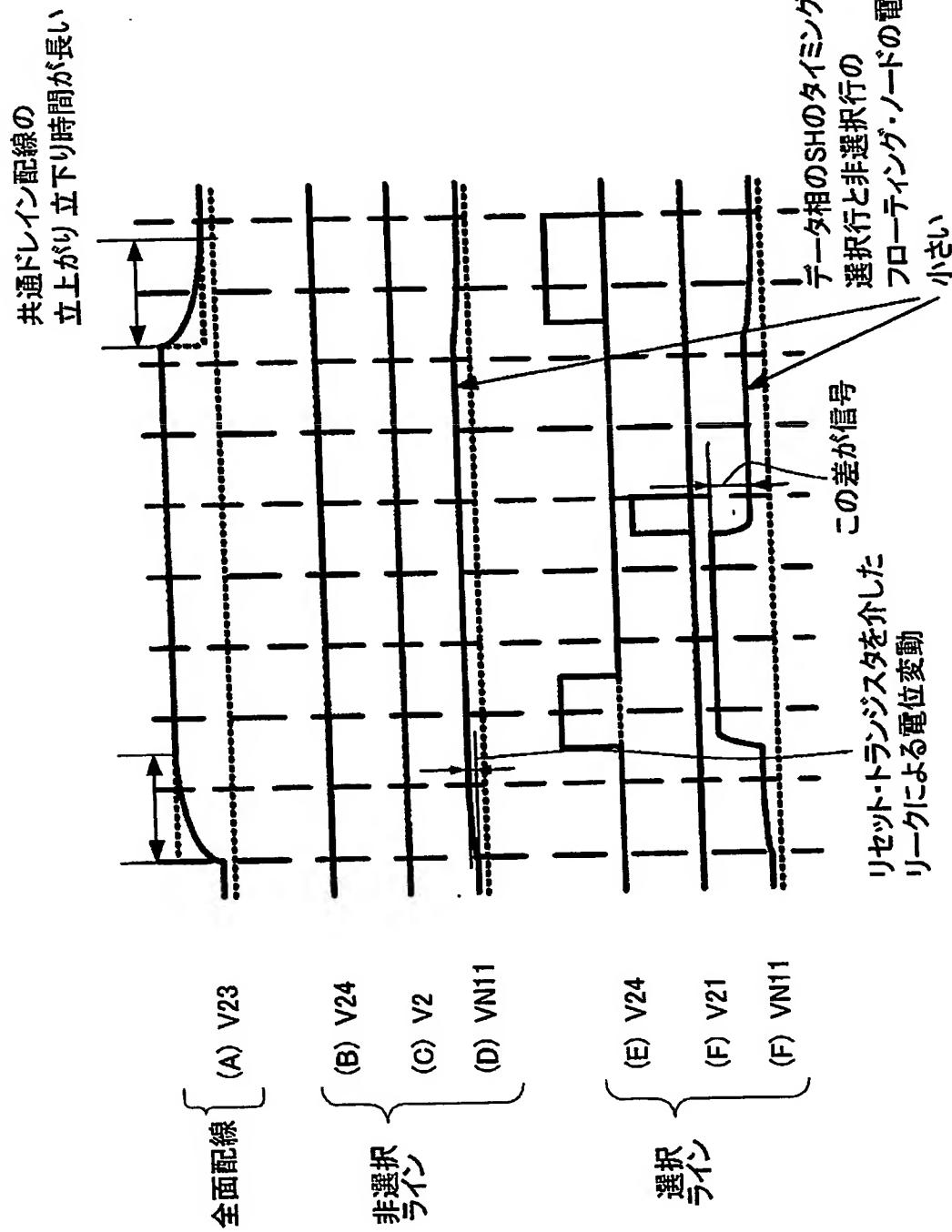
【0062】

10…単位画素、11…フォトダイオード、12…転送トランジスタ、13…増幅トランジスタ、14…リセットトランジスタ、22…垂直信号線、23…ドレイン線、24…リセット線、25…Vシフトレジスタ、26…P型MOSトランジスタ、31…サンプルホールド/CDS回路、32…水平信号線、34…Hシフトレジスタ。

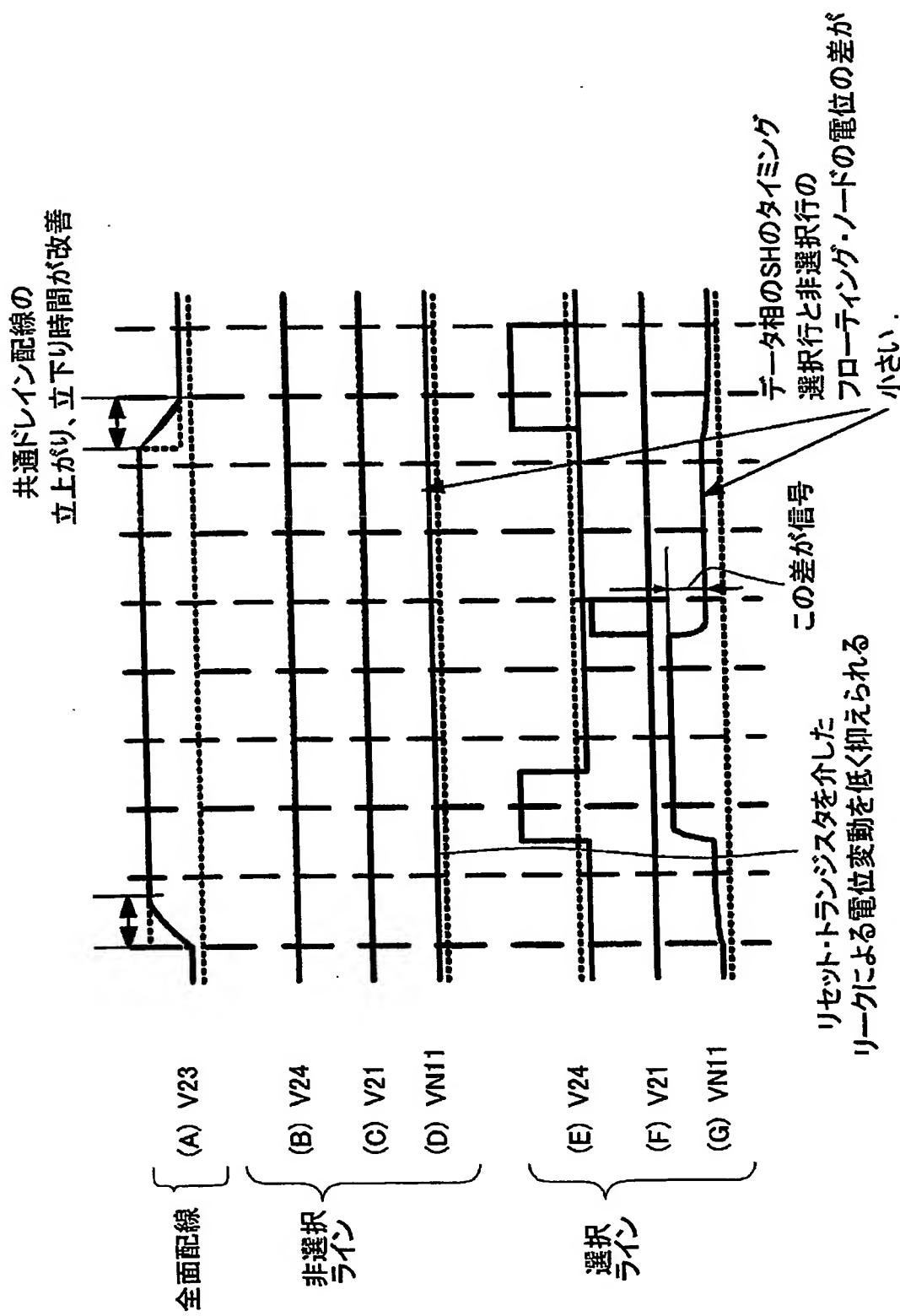
【書類名】図面  
【図1】



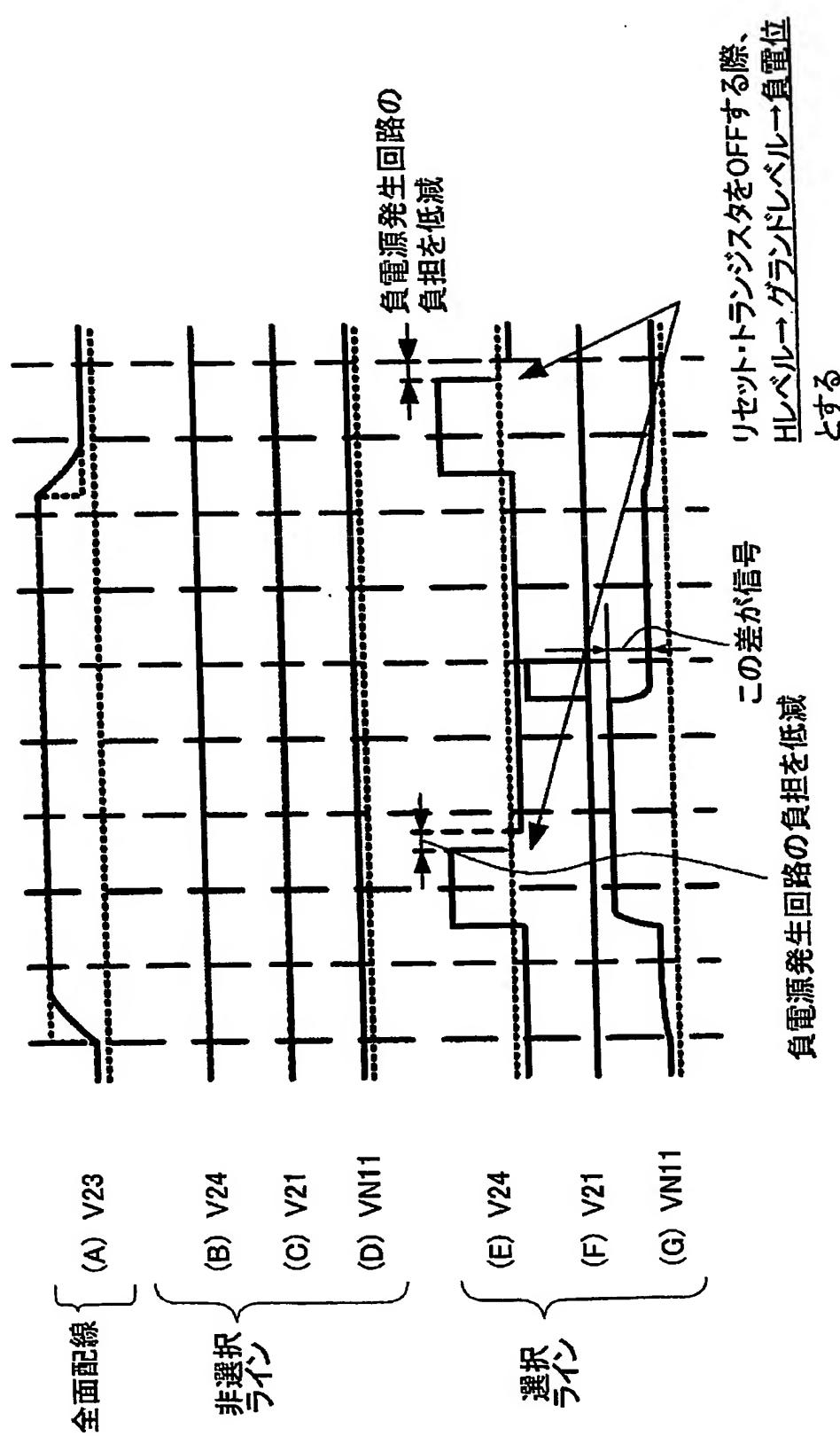
【図2】



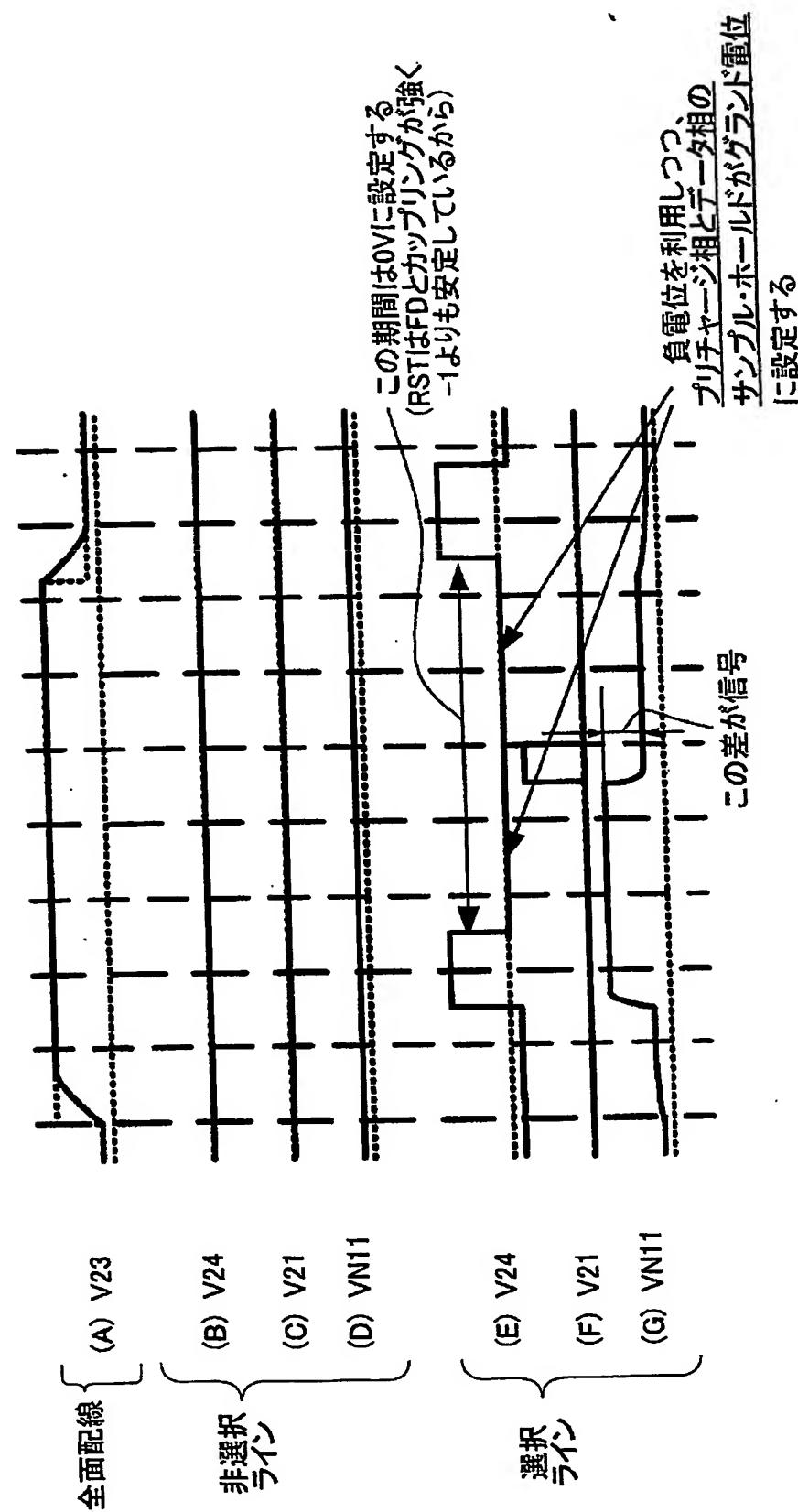
【図3】



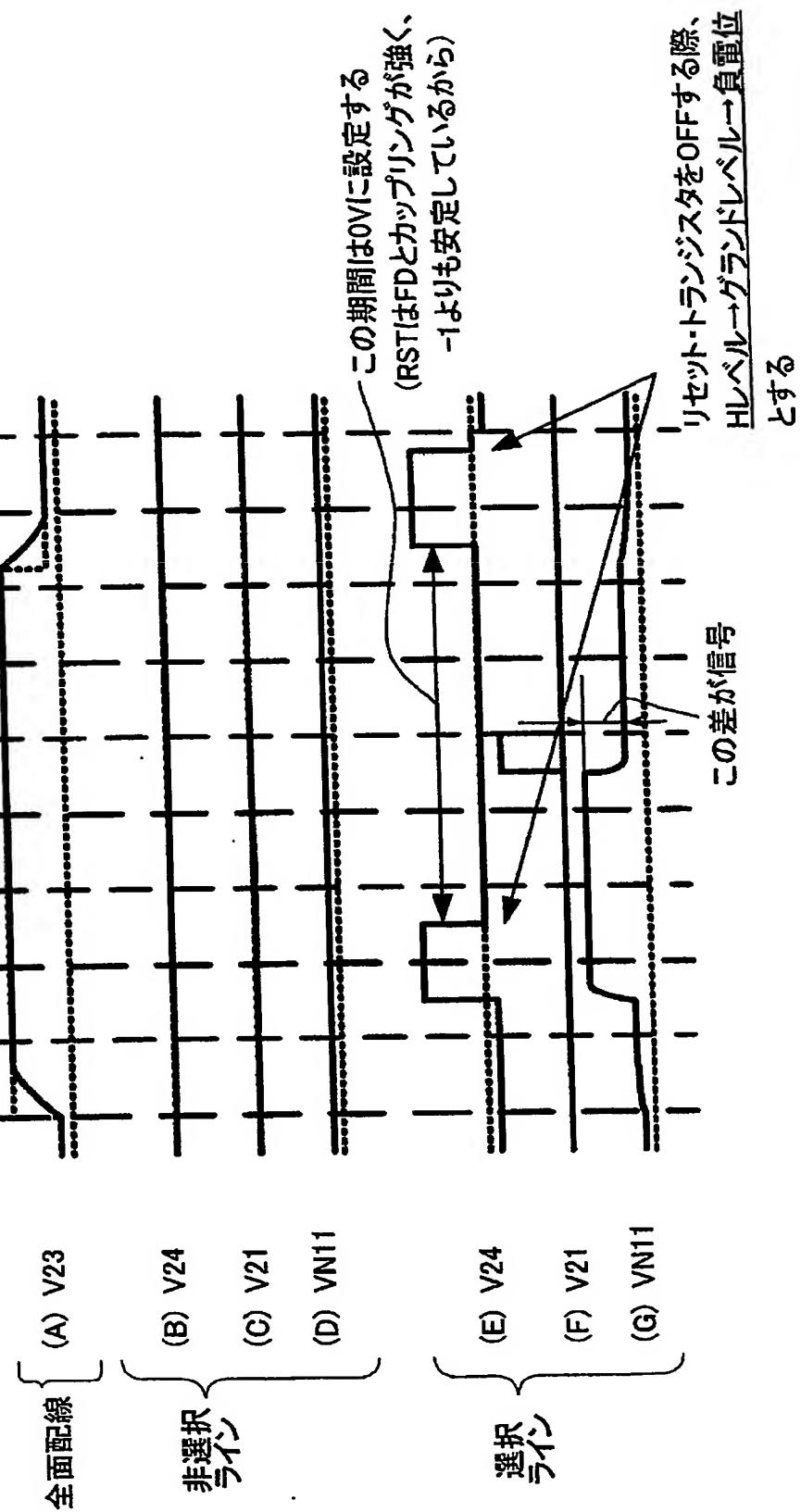
【図4】



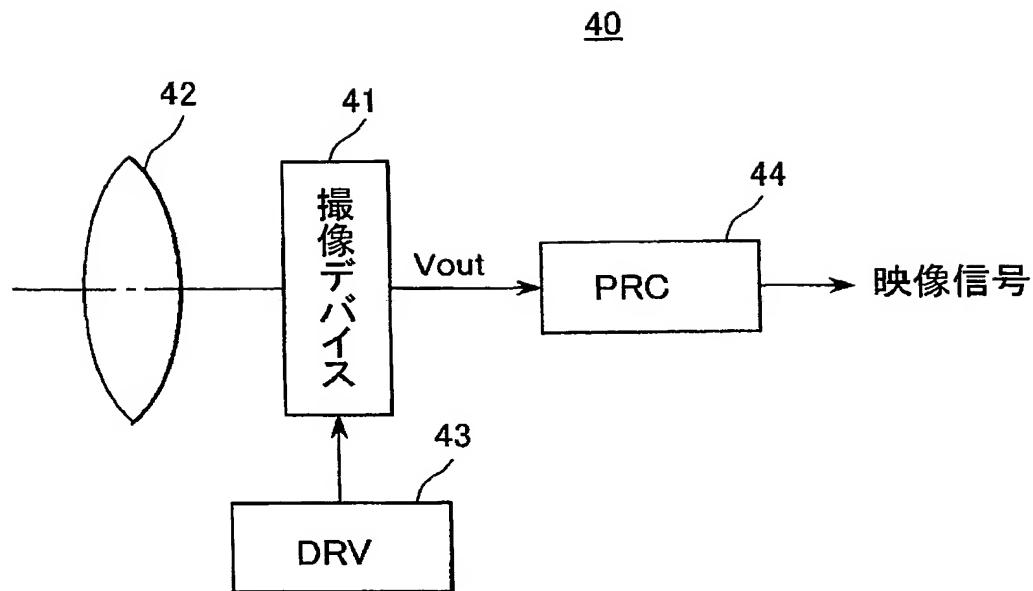
【図5】



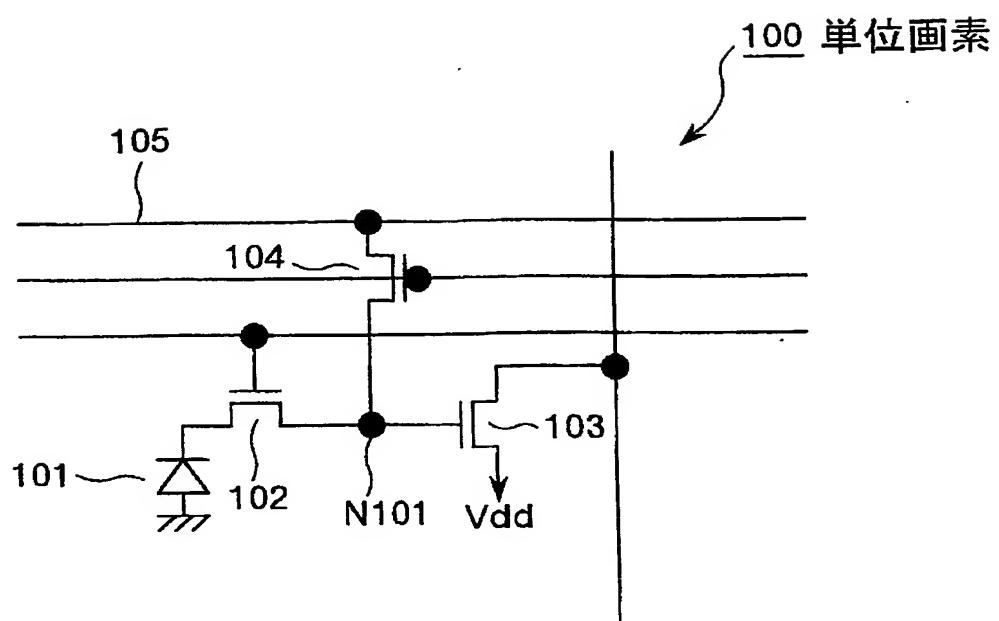
【図6】



【図7】



【図8】



【書類名】要約書

【要約】

【課題】非選択行からのノイズを小さくでき、明るいシーンにおける縦筋の発生を抑止でき、また、リセットトランジスタを介してフローティングノード容量を含めて充電をする必要がなく、ドレイン線のドライバサイズの増大を防止でき、高速動作を確保できる固体撮像装置およびこれを撮像デバイスとして用いたカメラシステムを提供する。

【解決手段】フォトダイオード11、フォトダイオード11の信号をフローティングノードN11に転送する転送トランジスタ12、フローティングノードN11の信号を垂直信号線22に出力する増幅トランジスタ13およびフローティングノードN11をリセットするリセットトランジスタ14を有する単位画素10が行列状に配列したMOS型固体撮像装置において、リセットトランジスタ14のゲート電圧を電源電位（たとえば3V）、グランド電位(0V)、負電源電位（たとえば、-1V）の3値により制御する。

【選択図】 図1

特願 2003-323408

出願人履歴情報

識別番号

[000002185]

1. 変更年月日

[変更理由]

住 所

氏 名

1990年 8月30日

新規登録

東京都品川区北品川6丁目7番35号

ソニー株式会社